

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005年5月6日 (06.05.2005)

PCT

(10) 国際公開番号  
WO 2005/041201 A1

(51) 国際特許分類<sup>7</sup>: G11C 11/406  
(21) 国際出願番号: PCT/JP2004/015589  
(22) 国際出願日: 2004年10月21日 (21.10.2004)  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ:  
特願 2003-365168  
2003年10月24日 (24.10.2003) JP

(71) 出願人(米国を除く全ての指定国について): インター  
ナショナル・ビジネス・マシーンス・コーポレー  
ション (INTERNATIONAL BUSINESS MACHINES  
CORPORATION) [US/US]; 10504 ニューヨーク州  
アーモンク ニュー オーチャード ロード New York  
(US).

(72) 発明者; および  
(75) 発明者/出願人 (米国についてのみ): 砂永 登志男  
(SUNAGA, Toshio) [JP/JP]; 〒5202362 滋賀県野洲郡野  
洲町大字市三宅 800番地 日本アイ・ピー・エム  
株式会社 野洲事業所内 Shiga (JP). 宮武 久忠 (MIY-  
ATAKE, Hisatada) [JP/JP]; 〒5202362 滋賀県野洲郡  
野洲町大字市三宅 800番地 日本アイ・ピー・  
エム株式会社 野洲事業所内 Shiga (JP). 細川 浩二  
(HOSOKAWA, Kohji) [JP/JP]; 〒5202362 滋賀県野洲  
郡野洲町大字市三宅 800番地 日本アイ・ピー・エ  
ム株式会社 野洲事業所内 Shiga (JP).

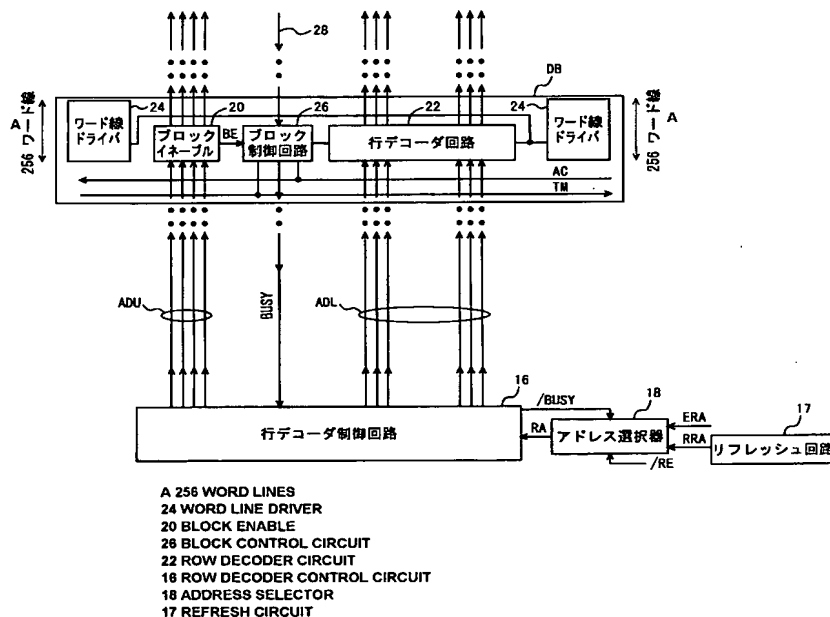
(74) 代理人: 坂口 博, 外(SAKAGUCHI, Hiroshi et al.); 〒  
2428502 神奈川県大和市下鶴間 1623番地 14 日  
本アイ・ピー・エム株式会社 大和事業所内 Kanagawa  
(JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が  
可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR,

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR REFRESHING THE SAME

(54) 発明の名称: 半導体記憶装置及びそのリフレッシュ方法



(57) Abstract: [PROBLEMS] To provide a DRAM wherein a refresh operation can be inserted between ordinary access operations and wherein the internal cycle time can be set to be longer than a half of the external cycle time. [MEANS FOR SOLVING PROBLEMS] An address selector (18) selects an access row address signal (ERA) or a refresh row address signal (RRA). A row decoder control circuit (16) selects, in response to a selected row address signal (RA), one of blocks into which the memory cell array is divided, and causes a row decoder circuit (22) to select a word line. If an operation is initiated in any one of the blocks, then a busy signal

[続葉有]



BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG,

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(/BUSY) is activated to inhibit the address selector (18) from performing any selection. When the operation is terminated, the busy signal (/BUSY) is deactivated to release the inhibition of the address selector (18). Accordingly, a precedently inputted row address signal (ERA or RRA) is given a higher priority, and a subsequently inputted row address signal (RRA or ERA) is caused to wait until a termination of the precedent operation.

(57) 要約:

【課題】通常アクセス動作の間にリフレッシュ動作の挿入が可能でかつ内部サイクル時間を外部サイクル時間の半分よりも長くできるDRAMを提供する。

【解決手段】アドレス選択器18はアクセス行アドレス信号ERA又はリフレッシュ行アドレス信号RRAを選択する。行デコーダ制御回路16は選択された行アドレス信号RAに応答してメモリセルアレイを分割するブロックを1つ選択し、行デコーダ回路22によりワード線を選択する。いずれかのブロックで動作が始まるとビジー信号／BUSYが活性化され、アドレス選択器18による選択が禁止される。動作が終わるとビジー信号／BUSYが不活性化され、アドレス選択器18による選択が解禁される。そのため、先に入力された行アドレス信号ERA又はRRAが優先され、後から入力された行アドレス信号RRA又はERAは先の動作が終わるまで待たされる。